

First Hit

L4: Entry 5 of 11

File: JPAB

Nov 22, 1990

PUB-NO: JP402285440A
DOCUMENT-IDENTIFIER: JP 02285440 A
TITLE: PREFETCH CONTROL SYSTEM

PUBN-DATE: November 22, 1990

INVENTOR-INFORMATION:

NAME

COUNTRY

OSONE, HIDEKI

ASAUMI, HIROSHI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

FUJITSU LTD

APPL-NO: JP01106066

APPL-DATE: April 27, 1989

INT-CL (IPC): G06F 12/08

ABSTRACT:

PURPOSE: To omit the waiting time required before a storage key is read out of a main storage unit and to attain the higher speed operation of a prefetch control system by issuing a block fetching request before the storage key is read out.

CONSTITUTION: When an access is given to the data stored in a main storage unit MSU, a dynamic address translation DAT circuit 1 performs the DAT for the conversion of a virtual address into a real one if the access address is not included in a translation look a side buffer mechanism TLB. Then a storage key reading request is issued for a page including the real address. At this time, the contents of a cache memory 8 are confirmed and a block fetching request is sent to a main storage control (MCU) in the next cycle when the contents of the real address are not included in the memory 8. The propriety of the memory access to be carried out by the storage key is confirmed later. Consequently, an access is attained to the memory 8 in the short time.

COPYRIGHT: (C)1990, JPO&Japio

BEST AVAILABLE COPY

⑨ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-285440

⑬ Int. Cl.³
G 06 F 12/08

識別記号 庁内整理番号
D 7010-5B

⑭ 公開 平成2年(1990)11月22日

審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 プリフェッチ制御方式

⑯ 特 願 平1-106066

⑰ 出 願 平1(1989)4月27日

⑱ 発 明 者 大 曾 根 秀 樹 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 発 明 者 朝 海 寛 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑳ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

㉑ 代 理 人 弁理士 本 間 崇

明 細 書

1. 発明の名称

プリフェッチ制御方式

2. 特許請求の範囲

キー制御保護に用いる記憶キーをページ単位に主記憶装置内に有し、主記憶装置の内容の一部の写しを保持するキャッシュメモリを中央処理装置内に有する、動的アドレス変換機構及び上記記憶キーを含んだ変換索引緩衝機構を用いた仮想記憶方式の情報処理装置であって、主記憶装置内のデータにアクセスする際には上記変換索引緩衝機構中の記憶キーを参照してアクセスの可否を決定する情報処理装置において、

主記憶装置のあるアドレスのデータにアクセスする際に、該アクセスの仮想アドレスが上記変換索引緩衝機構中にない場合には、

上記仮想アドレスを動的アドレス変換機構により実アドレスに変換し、該実アドレスにより

主記憶装置内の該当アドレスの記憶キーの読み出し要求する際に、同時に上記キャッシュメモリ中に該当アドレスのデータがあるか否かを確認する手段と、

上記確認によりキャッシュメモリ中に該当アドレスがない場合は、直ちにプリフェッチのためのブロックフェッチを主記憶制御装置に要求する手段とを設け、

主記憶装置から該当アドレスの記憶キーが読み出され、変換索引緩衝機構中に登録される以前に、プリフェッチのためのブロックフェッチを主記憶制御装置に要求することの特徴とするプリフェッチ制御方式。

3. 発明の詳細な説明

[概 要]

仮想記憶方式の情報処理装置で、主記憶装置(MSU)へのアクセスに際し、該アクセスの仮想アドレスが変換索引緩衝機構(TLB)中になく、かつキャッシュ中にも該当アドレスの

データがない場合のプリフェッチ制御方式に関し、

従来、該当する仮想アドレスがTLB中に存在しない場合、まずMSUより該当アドレスの記憶キーを読み出しTLB中に格納し、再度該TLBにアクセスして記憶キーを確認した後に、ブロックフェッチ要求をしており、効率の低下を招いていた問題の解決を目的とし、

記憶キーの読み出し要求と同時に、キャッシュメモリ中に該当するデータがあるか否か確認する手段と、キャッシュ中に該当するデータがない場合には、直ちにブロックフェッチ要求を主記憶制御装置に発行する手段とを設けて構成する。

〔産業上の利用分野〕

本発明は、主記憶装置(MSU)中にページ単位の記憶キーを有し、中央処理装置(CPU)中にキャッシュメモリを有する仮想記憶方式の情報処理装置に関し、特に、主記憶装置(MS

キーを表わしている。

該TLBは、メモリアクセスの際、アクセスする仮想アドレスとTLBエントリー中の仮想アドレス(LOG)が一致し、かつV=1であるエントリーが存在する場合、テーブルを用いた変換(DAT: 動的アドレス変換)を用いずに、高速に実アドレスと記憶キーを得ることを可能とする機構である。

キャッシュメモリ(緩衝記憶機構)は主記憶装置(MSU)の内容の一部の写しを保持する高速なメモリである。ある実アドレスの内容がキャッシュメモリ内に保持されている場合、それが主記憶装置にある場合に比べ、より高速なアクセスが可能である。

第3図は従来方式の機構例を示す図であり、51はDAT回路(動的アドレス変換回路)、52はアドレス信号を選択するアドレスセレクト(SEL)、53は信号選択ゲート、54~56はレジスタを表わしている。

また、図中の信号名及びその機能は以下の通

りである。U)へのアクセスに際して、該アクセスの仮想アドレスが変換索引緩衝機構(TLB)中に存在せず、かつ該当するアドレスの内容がキャッシュメモリ中に存在しない場合のプリフェッチ制御方式に関する。

〔従来の技術〕

情報処理装置で仮想記憶を扱う方式の一つに、セグメントテーブルとページテーブルを用いて仮想アドレスに2レベルの変換を行なう方式が良く知られている。ページの大きさは例えば4Kバイトであり、各々記憶キーを持つ。メモリアクセスの際、記憶キーの値に応じてアクセスの可否が判定される。

TLB(変換索引緩衝機構)は、第2図に示すようなエントリーを複数個有している。

図中で、符号「V」はTLBの内容が有効か無効かを示し、「LOG」は仮想アドレス、「REAL」は仮想アドレスに対応する実アドレス、「KEY」はメモリアクセスの可否を示す記憶

りである。

CHE_MISS_ADR……キャッシュメモリ中に該当データが無い場合に発行される実アドレス信号、

CHE_MISS_REQ……キャッシュメモリ中に該当データが無い場合のデータ読み出し要求信号、

VIRT_ADR……DAT回路に入力される仮想アドレス信号、

DAT_REQ……DAT回路に入力される動的アドレス変換要求信号、

REAL_ADR……仮想アドレスをDAT回路により変換した実アドレス信号、

MCU_ADR……主記憶制御装置(MCU)に送られる実アドレス信号、

KEY_PC……記憶キー読み出し要求信号、

KEY_READ……主記憶制御装置(MCU)に送られるキー読み出し要求信号、

BLOCK_FETCH……主記憶制御装置(MCU)に送られる主記憶装置(MSU)

中のブロック単位のリデータフェッチ要求信号
(「ブロックフェッチ要求」ともいう)。

すなわち、DAT回路51は、仮想アドレスから実アドレスを得る回路であり、ある仮想アドレスに対するアクセスを行なう時、仮想アドレスと一致するLOGを持ち、V=1であるエントリーがTLB内に存在する場合、DATの必要はない。

そのエントリーから得られた記憶キーによってメモリアクセスが禁止される場合、メモリアクセスは行なわれない。禁止されない時は、まず、キャッシュメモリ内に求めるアドレスの内容があればそこにアクセスが行われ、メモリアクセスは終了する。

また、キャッシュメモリ内に求めるアドレスの内容がない場合、実アドレスであるCHE_MISS_ADDRとCHE_MISS_REQ=1が送られてくる。中央上部のアドレスセクタ(SEL)52はCHE_MISS_REQ=1である時、CHE_MISS_ADDRをM

れる。

すなわち、ここで記憶キーが読み出され、メモリアクセスが認められることを確認した後、初めてブロックフェッチの要求が送出される。

[発明が解決しようとする課題]

以上、従来技術の項で説明した如く、主記憶装置(MSU)へのアクセスの際に、該アクセスの仮想アドレスに対するエントリーがTLB中に存在しない場合、まず主記憶装置(MSU)から記憶キーを読み出しTLB中に格納した後、再度TLBにアクセスし記憶キーの内容を確認する方法が取られている。

このような方法では、記憶キー読み出し要求を主記憶制御装置(MCU)に発行した後、TLB中に読み出した記憶キーが返されるまでの待ち時間は無視し得ないものであり、より効率的な動作が望まれる。

本発明は上記問題点に鑑みなされたものであり、主記憶装置(MSU)へのアクセスの際に、

CU_ADDRとすべく選択する。MCU_ADDRとは、前述の如くMCU(主記憶制御装置)に送るアドレスである。そして、選択されたアドレスはレジスタ54にラッチされて、1サイクル後に、MCU_ADDRとBLOCK_FETCH=1が主記憶制御装置(MCU)に送られ、ブロックフェッチが要求される。

また、仮想アドレスに対するエントリーがTLB内に存在しない場合、DAT回路に仮想アドレスVIRT_ADDRとDAT_REQ=1が送られ、実アドレスREAL_ADDRとKEY_FC=1が出力される。KEY_FC=1である時、アドレスセクタ(SEL)52ではREAL_ADDRが選択され、1サイクル後に、MCU_ADDRとKEY_READ=1が主記憶制御装置(MCU)に送られ、主記憶装置(MCU)からの記憶キー読み出しを要求する。

MCUから記憶キーが読み出されるとTLB内に書き込まれる。この後、最初からアドレスがTLB内に存在する場合と同様の動作が行なわ

該アクセスの仮想アドレスがTLB中に存在せず、かつ該当アドレスのリデータがキャッシュメモリ中に存在しない場合の、より効率的なブリフェッチ制御方式を提供することを目的とする。

[課題を解決するための手段]

本発明によれば、上述の目的は前記特許請求の範囲に記載した手段により達成される。

すなわち、本発明はキー制御保護に用いる記憶キーをページ単位に主記憶装置内に有し、主記憶装置の内容の一部の写しを保持するキャッシュメモリを中央処理装置内に有する、動的アドレス変換機構及び上記記憶キーを含んだ変換索引機構を用いた仮想記憶方式の情報処理装置であって、主記憶装置内のデータにアクセスする際には上記変換索引機構中の記憶キーを参照してアクセスの可否を決定する情報処理装置において、

主記憶装置中のあるアドレスのデータにアクセスする際に、該アクセスの仮想アドレスが上

記変換索引緩衝機構中にある場合には、上記仮想アドレスを動的アドレス変換機構により実アドレスに変換し、該実アドレスにより主記憶装置内の該当アドレスの記憶キーの読み出し要求する際に、同時に上記キャッシュメモリ中に該当アドレスのデータがあるか否かを確認する手段と、上記確認によりキャッシュメモリ中に該当アドレスがない場合は直ちにプリフェッチのためのブロックフェッチを主記憶制御装置に要求する手段とを設け、主記憶装置から該当アドレスの記憶キーが読み出され、変換索引緩衝機構に登録される以前に、プリフェッチのためのブロックフェッチを主記憶制御装置に要求するプリフェッチ制御方式である。

〔作用〕

主記憶装置(MSU)中のデータにアクセスする際に、該アクセスのアドレスがTLB内に存在しない場合、DATが行なわれて仮想アドレスが実アドレスに変換され、その実アドレス

スのデータがあるか否かの確認信号であり、他の信号は第3図の場合と同様である。

以下、本図に従いその動作を説明する。

まず、アドレスがTLB内に存在する場合は、従来方式と全く同様の動作を行なう。記憶キーによってメモリアccessが禁止される場合、メモリアccessは行なわない。禁止されないときは、まず、キャッシュメモリ内に求めるアドレスの内容があればそこにアクセスが行われ、メモリアccessは終了する。また、キャッシュメモリ内にない場合は、実アドレスであるCHE_MISS_ADRとCHE_MISS_REQ=1が送られてくる。中央上部のアドレスセレクト(SEL)2はCHE_MISS_REQ=1である時、CHE_MISS_ADRをMCU_ADRとすべく選択する。そして、選択されたアドレスはレジスタ4でラッチされて、1サイクル後に、MCU_ADRとBLOCK_FETCH=1が主記憶制御装置(MCU)に送られ、主記憶装置(MSU)からのブロッ

を含むページの記憶キー読み出し要求が発せられる。この時、キャッシュメモリの内容の確認を同時に行ない、先の実アドレスの内容がキャッシュメモリ内に存在しない場合、次のサイクルで主記憶制御装置(MCU)にブロックフェッチ要求を送出し、記憶キーによるメモリアccessの可否の確認は後で行なうことで、より短時間でメモリにアクセスすることを可能とする。

〔実施例〕

第1図は本発明の一実施例を示す図であり、1は仮想アドレスから実アドレスを得る動的アドレス変換回路なるDAT回路、2はアドレス信号を選択するアドレスセレクト(SEL)、3は信号選択ゲート、4~7はレジスタ、8はキャッシュメモリ(CACHE)、9はアンド回路、10はオア回路、11はレジスタを表わしている。

また、図中の信号「CHE_MCH」はキャッシュメモリ(CACHE)8中に該当アドレ

スに記憶されたデータにアクセスする。

また、アドレスがTLB内に存在しない場合、DAT回路1にVIRT_ADRとDAT_REQ=1が送られ、REAL_ADRとKEY_FC=1が出力される。KEY_FC=1に対して、アドレスセレクト(SEL)2でREAL_ADRが選択され、1サイクル後に、MCU_ADRとKEY_READ=1が主記憶制御装置(MCU)に送られ、記憶キー読み出しを要求する。この時同時にキャッシュメモリ8がアドレスの内容を保持しているか否か調べられる。保持している場合、CHE_MCH=1となる。

KEY_FC=1となったサイクルの次のサイクルでは、KEY_READ=1となる。アドレスセレクト(SEL)2では、KEY_READ=1の時、REAL_ADRをレジスタ7でラッチした信号、すなわち1サイクル前のREAL_ADRが選択される。従って、キャッシュがアドレスの内容を保持していない場合

(CHE_MCH=0)、図下方のアンド回路9、オア回路10の出力は1になり、1サイクル後に、MCU_ADRとBLOCK_FETCHH=1が主記憶制御装置(MCU)に送られ、主記憶装置(MSU)からのブロックフェッチを要求する。

先に主記憶制御装置(MCU)に送出した記憶キー読み出し要求に対して記憶キーが返された後、その記憶キーによるメモリアクセスの可否を判断する。

[発明の効果]

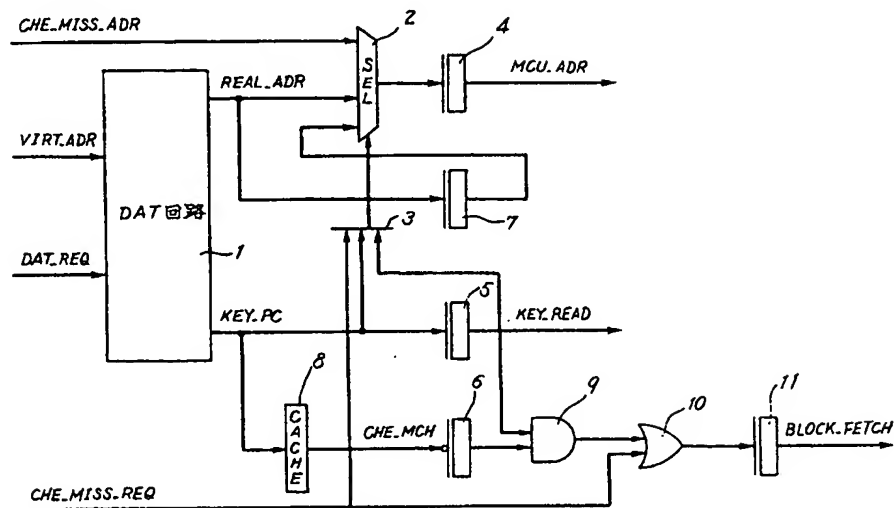
以上説明した如く、本発明によれば、記憶キーが読み出される前にブロックフェッチの要求を発行することで、従来方式における主記憶装置(MSU)から記憶キーが読み出されるまでの待ち時間を省き、より高速な動作を達成する効果がある。

4. 図面の簡単な説明

第1図は本発明の一実施例を示す図、第2図はTLBのエントリー構造を示す図、第3図は従来方式の構成例を示す図である。

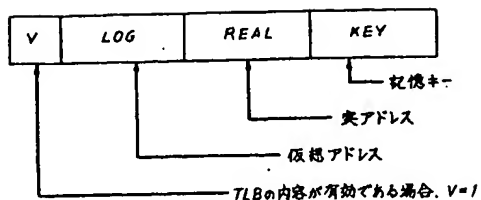
1…DAT回路、2…アドレスセクタ(SEL)、3…信号選択ゲート、4…レジスタ、5…レジスタ、6…レジスタ、7…レジスタ、8…キャッシュメモリ、9…アンド回路、10…オア回路、11…レジスタ

代理人 弁理士 本間 崇



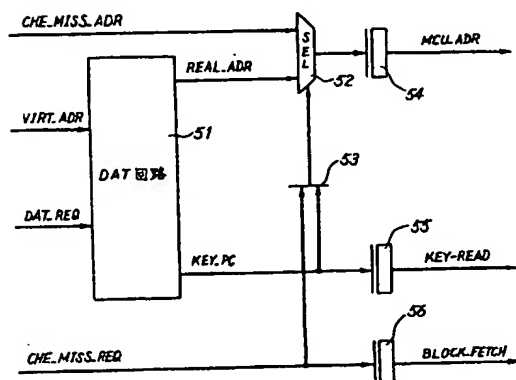
本発明の一実施例を示す図

第 1 図



TLBのエントリー構造を示す図

第 2 図



従来方式の構成例を示す図

第 3 図

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.